

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-272632

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>9</sup>  
G 0 6 F 15/163  
9/46  
13/24

識別記号  
3 1 2  
3 6 0  
3 1 0

F I  
G 0 6 F 15/16  
9/46  
13/24  
3 1 0 Q  
3 1 2  
3 6 0 A  
3 1 0 H

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21) 出願番号 特願平10-70262  
(22) 出願日 平成10年(1998) 3 月19日

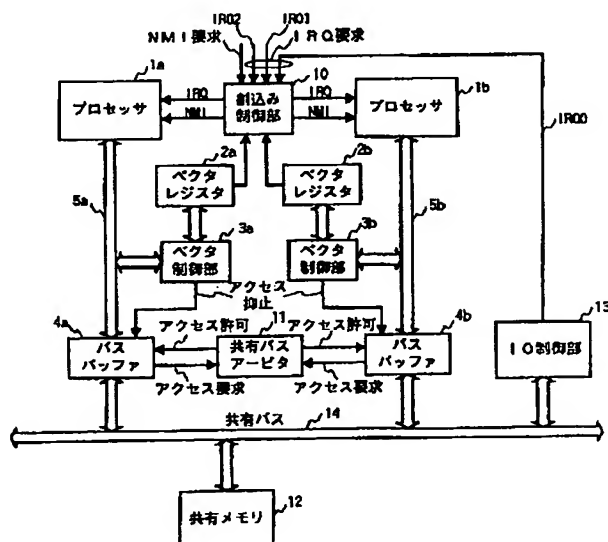
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 野田 完三  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 マルチプロセッサシステム

(57) 【要約】

【課題】 従来の共有メモリ型マルチプロセッサシステムは、従来の汎用マイクロプロセッサとソフトウェアの互換性がなく、小規模なマルチプロセッサシステムに適用が難しく、簡単なハードウェアにて実現が不可能で、L S I 化において外部接続信号線数が増加し、割込みベクタ読取りに伴う共有バスアクセスのオーバーヘッドが発生し、割込み処理を並列処理するための効率的な分散制御が難しいという課題があった。

【解決手段】 プロセッサ1 a と、1 b の2つのプロセッサの場合、ベクタレジスタ2 a、2 b、各プロセッサのローカルバス5 a、5 b に接続されるベクタ制御部3 a、3 b、各プロセッサを共有バス1 4 に接続するためのバスバッファ4 a、4 b、各プロセッサからの共有バスアクセス要求を調停するための共有バスアービタ1 1、各プロセッサへの割込みを制御する割込み制御部1 0、共有バス1 4 に接続される共有メモリ1 2、I O 制御部1 3 とを含む。



## 【特許請求の範囲】

【請求項1】 共有の第1のバスに接続された共有メモリと、

上記第1のバスに接続された複数の第2のバスに、それぞれ接続された複数のプロセッサと、

上記複数のプロセッサに対応して、上記第2のバスに接続された複数の割込みベクタの格納手段と、

上記複数のプロセッサの上記共有メモリに対する割込みベクタの読取りを検出するベクタ読取検出手段と、

上記複数のプロセッサが、上記共有メモリに対する割込みベクタの読取り要求を発生した際に、上記ベクタ読取検出手段が割込みベクタの読取りを検出し、上記格納手段に格納された割込みベクタを、上記第2のバス上へ送出するベクタ送出手段を備えることを特徴とするマルチプロセッサシステム。

【請求項2】 外部からの割込み要求を、上記複数のプロセッサに通知する割込通知手段を備えることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項3】 上記ベクタ読取検出手段が、上記割込みベクタの読取りを検出したとき、上記複数のプロセッサから上記第1のバスへの割込みベクタの読取り要求を阻止する阻止手段を備えることを特徴とする請求項1、又は請求項2記載のマルチプロセッサシステム。

【請求項4】 上記複数のプロセッサの割込みベクタの書込みを検出するベクタ書込検出手段を備え、上記複数のプロセッサから上記共有メモリへ、上記割込みベクタの書込み時に、上記第2のバス上のデータを上記格納手段に格納することを特徴とする請求項1乃至請求項3記載のマルチプロセッサシステム。

【請求項5】 上記格納手段は、上記割込みベクタの有効性を示すフラグを備え、上記割込通知手段は、上記フラグを判定して割込みベクタが無効な場合に、割込み通知を阻止することを特徴とする請求項1乃至請求項4記載のマルチプロセッサシステム。

【請求項6】 上記フラグは、上記割込みベクタの書込みを検出するベクタ書込検出手段により、上記割込みベクタの書込みを検出して、上記割込みベクタの有効性がセットされることを特徴とする請求項5記載のマルチプロセッサシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、マルチプロセッサシステムに関し、特に複数のプロセッサがバスを共有するマルチプロセッサシステムにおける割込み制御に関する。

## 【0002】

【従来の技術】 プロセッサにおいて、マルチタスクシステムのタスク切替え、ハードウェア例外処理、周辺IOの処理終了通知など、実行中のプログラムの処理の切替を行うために割込みが使用される。プロセッサ内部又

は、外部からの割込み要求が発生すると、プロセッサは割込み受付許可状態であれば、実行中の命令を終了後、次に実行すべき命令アドレスを示す命令レジスタなどの所定のレジスタをメモリなどに退避して、その後、割込みベクタの読取りを行う。

【0003】 割込みベクタは、予め定められたアドレスのメモリ上に置かれ、その中には割込み要因に対応する割込み処理プログラムの先頭メモリアドレスが格納されている。その後、プロセッサは割込みベクタで示されるメモリアドレスの命令を読込んで、割込み処理プログラムの実行を行う。このように、割込みにより実行中のプログラムの処理を一時中断し、割込み処理プログラムを実行して、実行する処理の切替を行う。このような割込み方式は、ベクタ割込みと呼ばれ、現在のマイクロプロセッサにおいて標準として広く普及している。

【0004】 近年、マルチメディア処理や高精細画像処理などのさまざまな分野で、プロセッサ性能の向上に対する要求が高まっている。しかし、現在のLSI (Large Scale Integration) 製造技術では、デバイスの高速化にも限度がある。そこで、分散処理方式のバス共有型マルチプロセッサシステムが注目を浴びており、盛んに研究、開発されている。このようなマルチプロセッサシステムは、複数の汎用マイクロプロセッサで構成されるため、割込み処理においても従来の汎用マイクロプロセッサとの間で、ハードウェア及びソフトウェアにおいて互換性が必要であり、ベクタ割込み方式を採用することが一般的である。

【0005】 図6に従来のマルチプロセッサシステムの構成の一例を示す。本従来例1のマルチプロセッサシステムは、プロセッサ1a及び、1bの2つのプロセッサで構成され、共有メモリ12が共有バス14に接続されている。外部割込みであるNMI及び、IRQ割込みは、予め割込み処理を行うプロセッサが決められている。プロセッサ1aがNMI割込み処理を、プロセッサ1bがIRQ割込み処理を、それぞれ担当するように割込み信号が接続されている。又、割込みベクタ領域は、プロセッサ1a、1bともに、共有メモリ12の特定アドレスに割付けられている。

【0006】 NMI割込みが発生すると、NMI要求信号がプロセッサ1aに入力される。プロセッサ1aは、割込み受付可能であれば、実行中の命令の終了後、次に実行すべき命令アドレスを示す命令レジスタなどの所定のレジスタを共有メモリ12に退避して、その後、割込みベクタの読取りを行う。プロセッサ1aが割込みベクタの読取りを要求すると、バスパッファ4aがローカルバス5a上のアドレス情報から、共有メモリ12のアクセスであることを認識して、共有バスアービタ11に共有バス14のアクセス要求を発生する。

【0007】 共有バスアービタ11は、プロセッサ1aとプロセッサ1bの共有バスアクセスの調停を行ってお

り、プロセッサ1aの共有バス14のアクセスが可能になると、バスバッファ4aに共有バス14のアクセスを許可する。それによって、バスバッファ4aは、プロセッサ1aのローカルバス5aと共有バス14を接続して、共有メモリ12のアクセスを行い、割込みベクタの読取りを行う。その後、読取った割込みベクタで示されるメモリアドレスの命令を読込んで割込み処理プログラムの実行を行う。IRQ割込みの場合も割込み処理プロセッサがプロセッサ1bになるだけで、NMIの場合と同様にして割込み処理を行う。

【0008】このようにして、マルチプロセッサの割込み処理が行われるが、割込みの発生に伴って、割込みベクタの読出し処理が頻繁に発生すると、共有メモリ12上の割込みベクタテーブルの読出しサイクルだけでなく、共有バス14のアクセス権の獲得要求を出して、アクセス権を獲得するためのバス獲得サイクルが必要であり、又、他のプロセッサが共有バス14のアクセスを行っている場合には、そのサイクルが終了するまでベクタテーブルの読出しが待たされるため、マルチプロセッサシステムを構成するプロセッサの数が増えるに従って、割込みベクタ読取りに伴う共有バスのアクセスのオーバーヘッドが大きくなり、割込み処理を含めたシステムの処理能力が低下するという問題があった。又、割込み処理を行うプロセッサが各割込み要因ごとにシステム構成段階で固定化されるために、処理プログラムなどのアプリケーションが変るたびに負荷の軽いプロセッサに割込み処理を振分けるような柔軟なシステム構成が取り難かった。

【0009】又、他の従来例として、図7に示すようなマルチプロセッサシステムが提案されている。本従来例2のマルチプロセッサシステムは、従来例1のマルチプロセッサシステムに、ローカルメモリ15a及び、15bが追加されたものであり、割込みベクタ領域を、それぞれのプロセッサ1a、1bのローカルメモリ15a、15bに割付けたものである。本従来例2は、NMI割込みが発生すると、NMI要求信号がプロセッサ1aに入力される。プロセッサ1aは、割込み受付可能で有れば、実行中の命令の終了後、次に実行すべき命令アドレスを示す命令レジスタなどの所定のレジスタをローカルメモリ15aに退避後、ローカルメモリ15aの割込みベクタの読込みを行う。

【0010】その後、読取った割込みベクタで示されるメモリアドレスの命令を読込んで割込み処理プログラムの実行を行う。IRQ割込みの場合も割込み処理プロセッサがプロセッサ1bになるだけで、NMIの場合と同様にして割込み処理を行う。このようにして、割込みベクタを格納するためのローカルメモリを追加して、割込みベクタ読取りに伴う共有バスアクセスのオーバーヘッドを抑えるようにしている。しかしながら、本従来例2においては、割込みベクタ格納用のローカルメモリを専

用に用意する必要があった。又、従来例1と同様に、割込み処理を行うプロセッサは固定化されており、やはり、柔軟なシステム構成が取り難いという問題がある。

【0011】そこで、この問題を解決するために、特開平6-35864号公報には、新たにサブプロセッサバスを設けて、割込みベクタを格納する専用ローカルメモリを、サブプロセッサバスに接続することにより、割込み処理に起因する共有バスのオーバーヘッドを抑えて、かつ、従来のプロセッサとのソフトウェア的な互換性を保つ技術が開示されている。又、上記特開平6-35864号公報の技術においては、割込み要求信号は、割込み分配部において、共有バスを占有していないほうのプロセッサに通知される仕組みになっており、共有バスを使用していないプロセッサ、即ち、負荷の軽いプロセッサに割込み処理を割振ることによって、システム全体の処理効率が良くなるようになっている。

【0012】

【発明が解決しようとする課題】しかしながら、上記特開平6-35864号公報の技術は、新たにサブプロセッサバスと、ベクタ専用のローカルメモリを設ける必要があり、メインプロセッサバスとサブプロセッサバスとのアクセス切替制御や、サブプロセッサバスのアービトレーション制御などの複雑な制御回路が必要になり、ハードウェア量が増え、コストの増加を招くため、小規模なマルチプロセッサシステムには適しておらず、共有バスを使用していないプロセッサがアイドル状態であると判断して、一義的に共有バスを使用していないプロセッサに割込み処理を行わせるため、割込み発生時には共有バスを使用していないが、内部演算処理などを実行して処理負荷が高いプロセッサに割込み処理を行わせる可能性があり、必ずしもシステム全体の処理効率が良くなかった。

【0013】又、マルチプロセッサシステムを1チップのLSIに集積する場合に、サブプロセッサバスの追加に伴う外部接続信号線数の増加を招き、LSIパッケージのピン数が増えて、LSIチップの小型化が難しかった。そのため、従来の汎用マイクロプロセッサとソフトウェアの互換性があり、小規模なマルチプロセッサシステムに適用可能で、簡単なハードウェアにて実現可能、かつ、LSI化においても外部接続信号線数が増えることが無く、割込みベクタ読取りに伴う共有バスのオーバーヘッドを抑えた割込み制御回路が必要という課題があった。又、割込み処理を並列処理するために効率的に割込みをプロセッサに分散させる割込み制御回路も必要と言う課題があった。

【0014】

【課題を解決するための手段】上記課題を解決するため、請求項1に記載のマルチプロセッサシステムは、共有の第1のバスに接続された共有メモリと、上記第1のバスに接続された複数の第2のバスに、それぞれ接続さ

## 5

れた複数のプロセッサと、上記複数のプロセッサに対応して、上記第2のバスに接続された複数の割込みベクタの格納手段と、上記複数のプロセッサの上記共有メモリに対する割込ベクタ読取りを検出するベクタ読取検出手段と、上記複数のプロセッサが、上記共有メモリに対する割込みベクタの読取り要求を発生した際に、上記ベクタ読取検出手段が割込みベクタ読取りを検出し、上記格納手段に格納された割込みベクタを、上記第2のバス上に送出するベクタ送出手段を備える。

【0015】請求項2に記載のマルチプロセッサシステムは、請求項1記載のマルチプロセッサシステムにおいて、外部からの割込み要求を、上記複数のプロセッサに通知する割込通知手段を備える。

【0016】請求項3に記載のマルチプロセッサシステムは、請求項1又は、請求項2記載のマルチプロセッサシステムにおいて、上記ベクタ読取検出手段が、上記割込みベクタの読取りを検出したとき、上記複数のプロセッサから上記第1のバスへの割込みベクタ読取り要求を阻止する阻止手段を備える。

【0017】請求項4に記載のマルチプロセッサシステムは、請求項1乃至請求項3記載のマルチプロセッサシステムにおいて、上記複数のプロセッサの割込みベクタの書込みを検出する検出手段を備え、上記複数のプロセッサから上記共有メモリへ、上記割込みベクタ書込み時に、上記第2のバス上のデータを上記格納手段に格納する。

【0018】請求項5に記載のマルチプロセッサシステムは、請求項1乃至請求項4記載のマルチプロセッサシステムにおいて、上記格納手段は、上記割込みベクタの有効性を示すフラグを備え、上記割込通知手段は、上記フラグを判定して割込みベクタが無効な場合に、割込み通知を阻止する。

【0019】請求項6に記載のマルチプロセッサシステムは、請求項5記載のマルチプロセッサシステムにおいて、上記フラグは、上記割込みベクタの書込みを検出する検出手段により、上記割込みベクタの書込みを検出して、上記割込みベクタの有効性がセットされる。

【0020】上記構成により、割込み発生時の割込みベクタの読取り時に、共有バスの負荷を高めることがないので、システム全体のパフォーマンスを落すことなく、割込みベクタ専用のローカルメモリを設けたり、外部接続信号線数が増えることもなく、簡単なハードウェアで実現可能な割込み制御回路が実現できる。又、割込み処理を任意のプロセッサに割当てることができ、割込み処理を効率良く分散処理できる。

## 【0021】

【発明の実施の形態】以下、図面に基づいて、本発明の実施形態を詳細に説明する。図1は、本発明のマルチプロセッサシステムの実施形態のブロック図である。図1に示すように、本発明のマルチプロセッサシステムは、

## 6

2つのプロセッサ1a及び、1bと、前記プロセッサ1a、1bに、対応して設けられたベクタレジスタ2a、2b及び、ローカルバス5a、5bと、上記ベクタレジスタ2a、2bとローカルバス5a、5bとを結ぶベクタ制御部3a、3bと、上記プロセッサ1a、1b及びベクタ制御部3a、3bを共有バス14に接続するためのバスバッファ4a、4bと、前記バスバッファ4a及び、4bに接続され、上記プロセッサ1a、1bからの共有バスアクセス要求を調停するための共有バスアービタ11と、プロセッサ1a、1bへの割込みを制御する割込み制御部10と、共有バス14に接続される共有メモリ12及び、IO制御部13とから構成される。尚、一般的なマルチプロセッサシステムでは、この他に表示装置、補助記憶装置、キーボード等の入力装置、通信装置などの各種周辺IO装置が共有バスなどに接続される構成であるが本発明に係わりの無い部分であるので、図1には示していない。

【0022】上記共有メモリ12は、プロセッサ1a、1bのメモリ空間にアドレス割付けされており、プロセッサ1a、1bから全領域をアクセス可能な構成になっている。プロセッサ1a、1bからの共有メモリ12のアクセス要求は、バスバッファ4a、4bを経由して共有バスアービタ11に入力され、アクセス許可応答が得られると、バスバッファ4a、4bが、プロセッサ1a、1bのローカルバス5a、5bを共有バス14に接続することによって行われる。上記共有バスアービタ11は、プロセッサ1aとプロセッサ1bとからの共有メモリ12や、IO制御部13などの共有バス14へのアクセス要求の調停を行い、プロセッサ1a、1bからのアクセス要求に対して、所定の優先順位に従って選択したプロセッサに対して共有バス14の使用許可を与えるものである。

【0023】上記共有メモリ12のアドレス割付けは、プロセッサ1aから見た場合も、プロセッサ1bから見た場合も同一の割付けがされており、図3に示す構成になっている。アドレス0000番地から000C番地は、プロセッサ1a、1bのベクタ領域に割当てられており、プロセッサ1a、1bの割込み処理プログラムの先頭アドレス（割込みベクタ）を格納する領域である。これは、プロセッサ1a、1bは、ベクタ割込み方式を採用した汎用のマイクロプロセッサを使用するので、メモリの固定アドレス領域が予め割込みベクタ領域として決められているためである。

【0024】プロセッサ1a、1bは、外部割込みとして、IRQ、NMIが割込み制御部10から入力される。IRQ割込みは、IO制御部13からの割込み信号IRQ0と、その他のIO制御部（図示せず）からの割込み要求IRQ1、IRQ2信号が、割込み制御部10を経由して、プロセッサ1a、1bへの割込み要求IRQになる。NMI割込みは、SW入力（図示せず）など

の外部からのNMI要求信号が、割込み制御部10を経由して、プロセッサ1a、1bへの割込み要求NMIになる。

【0025】又、内部割込みとしてメモリ保護違反や、ハードウェア異常などを通知するためのハードウェア例外、プログラムにより意識的に割込みを発生させるためのソフトウェア割込みがあり、外部割込みのNMI及び、IRQと合わせて4種類の割込みが存在する。そのため、ベクタ領域は、上記4種類の割込みに対応できるように4種類のエントリから構成される。

【0026】アドレスA番地以降は、各割込み処理プログラムの領域であり、プロセッサ1aとプロセッサ1bとで、共通の処理を行う場合には共通部に、それぞれ異なる処理を行う場合にはプロセッサ1aとプロセッサ1bの、それぞれの個別の領域に割込み処理プログラムが置かれる。本実施形態においては、共通部にはハードウェア例外処理プログラムと、NMI処理プログラムが置かれ、個別の領域にはIRQ処理プログラムと、ソフト割込み処理プログラムが置かれている。ベクタレジスタ2aは、ベクタ制御部3aの制御により、プロセッサ1aが共有メモリ12のベクタ領域にセットしたベクタを格納する。

【0027】図2は、図1のベクタレジスタ2aの詳細な構成図である。共有メモリ12のベクタ領域と同様の4種類の割込みに対応する、ハードウェア例外20a、NMI21a、IRQ22a及び、ソフト割込み23aの4つのレジスタで構成される。上記各レジスタは、それぞれのベクタが有効であるか無効であることを示す有効フラグ24a、25a、26a、27aを有し、有効フラグが“V”（Valid）の場合は、対応するベクタが有効であることを示し、有効フラグが“I”（Invalid）の場合には、対応するベクタが無効であることを示す。

【0028】プロセッサ1bのベクタレジスタ2bについても同様であり、ハードウェア例外20b、NMI21b、IRQ22b及び、ソフト割込み23bの4つのレジスタがあり、それぞれ対応する有効フラグ24b、25b、26b、27bを有する。尚、リセット時には、有効フラグはすべて無効状態（“I”）にリセットされる。

【0029】図4及び、図5は、本発明のマルチプロセッサの動作を示すフローチャートである。図4及び、図5に基づいて、具体的な各部の動作について説明する。プロセッサ1a及び1bが、RESET信号（図示せず）によりリセットされると、プログラム実行を開始し、最初に各種レジスタやメモリなどの初期設定を行う。この初期設定の中に割込みベクタの設定も含まれており、プロセッサ1a及び1bは、共有メモリ12のベクタ領域に割込みベクタの書き込みを行う（ステップS1及び、S3）。

【0030】具体的には、プロセッサ1aは、最初にハードウェア例外の割込みベクタとして、共有メモリ12のアドレス0000番地に、ハードウェア例外処理プログラムの先頭アドレスである“A”の書き込みを行う（ステップS1）。この時、ベクタ制御部3aは、ローカルバス5aのアドレス情報と書き込み制御信号によって、ベクタ領域への書き込みであることを検出し、ベクタレジスタ2a内のレジスタのハードウェア例外20aに、ローカルバス5aのデータ情報である“A”を書込むと共に、対応する有効フラグ24aを有効状態（“V”）にする（ステップS2）。

【0031】次にプロセッサ1aは、共有メモリ12のベクタ領域内のアドレスに、NMI、IRQ及び、ソフト割込み処理プログラムの先頭アドレスである“B”、“C”及び、“D”の書き込みを行う。上記ハードウェア例外20aのレジスタの場合と同様に、ベクタ制御部3aが、ローカルバス5aのアドレス情報と書き込み制御信号によって、上記ベクタ領域への書き込みを検出して、ベクタレジスタ2a内のNMI21a、IRQ22a及び、ソフト割込み23aに、ローカルバス5aのデータ情報である“B”、“C”及び、“D”を書込むと共に、対応する有効フラグ25a、26a、27aを有効状態“V”にする。

【0032】プロセッサ1bも、プロセッサ1aと同様に、最初に割込みベクタの書き込みを行う（ステップS3）。この時、ベクタ制御部3bが、上記プロセッサ1aの時と同様に、ベクタ領域への書き込みを検出して、それぞれのベクタをベクタレジスタ2b上のレジスタであるハードウェア例外20b、IRQ22b及び、ソフト割込み23bに書き込むと共に、対応する有効フラグ24b、26b及び、27bを有効状態にする（ステップS4）。

【0033】本実施形態のマルチプロセッサシステムにおいては、SW入力などの外部からのNMI割込みは、専らプロセッサ1aが割込み処理を行い、プロセッサ1bはNMI処理を行わないため、プロセッサ1bは、NMI割込みのベクタ書き込みを行わない。そのため、ベクタレジスタ2bのレジスタのNMI21bには、ベクタがセットされず、有効フラグ25bもリセット時の状態である無効状態（“I”）のままである。

【0034】このようにして、プロセッサ1a、1bのベクタ設定が行われ、その結果ベクタレジスタ2a及び2bの内容は、図3に示す状態になる。プロセッサ1a及び、1bは、初期設定が終了すると、所定の動作プログラムの実行を開始する。次にプログラム実行中に割込みが発生した場合の動作を、各割込み要因ごとに説明する。

【0035】プロセッサ内部割込みであるハードウェア例外、ソフト割込みが発生すると（ステップS5）、プロセッサ1a、1bは、割込み受付可能な状態（割込み

マスクビットが解除されている)であれば、実行中の命令の終了後、所定のレジスタを共有メモリ12又は、各プロセッサのローカバスに接続されるローカルメモリ

(図示せず)などに退避して、その後、割込みベクタの読取りを行う。ハードウェア例外割込みであれば、ベクタ領域は、共有メモリ12のアドレス0000番地であるので、プロセッサ1aは、アドレス0000番地の読取り動作を行う(ステップS6)。

【0036】この時、ベクタ制御部3aは、ローカルバス5aのアドレス情報と読出し制御信号によって、共有メモリ12のベクタ領域の読出しであることを検出し、バスバッファ4aに対して、共有メモリ12の読出し動作の抑止を指示する。バスバッファ4aは、通常の共有メモリ12のアクセスの場合には、共有バスアービタ11にアクセス要求を発生し、アクセス許可を得てからローカルバス5aを共有バス14に接続し、共有メモリ12のアクセスを行うが、ベクタ制御部3aから読出し動作の抑止が指示されているので、共有バスアービタ11へのアクセス要求を発生せずに、共有メモリ12のアクセスは行わない。

【0037】ベクタ制御部3aは、共有メモリ12のアクセスを抑止するとともに、ベクタレジスタ2aのハードウェア例外20aの内容を読出し、その内容“A”を、データとしてローカルバス5aに送出し、プロセッサ1aからのアクセスを終了させる(ステップS7)。プロセッサ1aは、共有メモリ12のベクタ領域のアドレス0000番地の読取り動作を行うが、結果的にはベクタレジスタ2aの内容を読取ることになる。続いて、プロセッサ1aは、ベクタの読取り結果(“A”)に基づいて、A番地のハードウェア例外処理プログラムに、実行を切替えて割込み処理を行う(ステップS8)。割込み処理が終了すると、割込み発生時に退避したレジスタを復帰し、割込み発生前の処理を続行する。

【0038】同様に、プロセッサ1bにおいても、ハードウェア例外割込みが発生すると、プロセッサ1bは、ベクタ領域の読取りを実行する(ステップS9)。この時、ベクタ制御部3bが、上記のプロセッサ1aの時と同様に、共有メモリ12のベクタ領域の読出しを検出して、共有メモリ12の読出しを抑止するとともに、ベクタレジスタ2b内のハードウェア例外20bの内容を読出し、その内容“A”をデータとしてローカルバス5bに送出し、プロセッサ1bからのアクセスを終了させる(ステップS10)。プロセッサ1bは、ベクタの読取り結果(“A”)に基づいて、A番地のハードウェア例外処理プログラムに実行を切替えて割込み処理を行う(ステップS11)。

【0039】このようにして、ハードウェア例外処理の割込み処理が行われる。ソフト割込み処理の場合も動作は同様であるが、割込み処理内容がプロセッサ1aとプロセッサ1bとで異なるため、それぞれのベクタが異な

っており、プロセッサ1aではベクタの読出し結果は、“D”であり、共有メモリ12のアドレスD番地のソフト割込み処理プログラムAの実行を行い、プロセッサ1bではベクタの読出し結果は、“F”であり、共有メモリ12のアドレスF番地のソフト割込み処理プログラムBの実行を行う。このように、割込みの処理の種類に応じてそれぞれのプロセッサで同じプログラムを起動したり、個別のプログラムを起動することが可能になるため、自由度の高い割込み処理が可能になる。

10 【0040】次に、NMI割込みの場合について説明する。SW入力などの外部NMI割込みが発生すると(ステップS12)、NMI要求が割込み制御部10に入力される。割込み制御部10においては、ベクタレジスタ2a及び、2bの有効フラグ25a、25bの状態に従って、プロセッサへの割込み要求の発生を判断する(ステップS13)。すなわち、入力された割込み要求に対応する有効フラグが“V”の場合には、プロセッサに対して割込みを発生し、“I”の場合には、プロセッサへの割込みを抑止するように動作する。本実施形態の場合、  
20 プロセッサ1のNMI割込みに対応する有効フラグ25aは、“V”であるので、プロセッサ1aに対してはNMI信号をアクティブにすることによって、NMI割込みを発生させる。プロセッサ2の有効フラグ25bは、“I”であるので、プロセッサ1bに対してはNMI信号をネグート状態のままとすることによって、NMI割込みを抑止する。

【0041】このようにして、プロセッサ1aでは実行中の命令の終了後、割込み処理を実行するが、プロセッサ1bでは割込みは発生せず、実行中の処理を切替えることなく継続実行する。プロセッサ1aでは、割込み処理のため、上記ハードウェア例外割込み処理の場合と同様に、レジスタの退避の後、ベクタ領域であるアドレス0004番地(以降アドレスは16進表現)のベクタ読取り動作を行う(ステップS14)。この時、ベクタ制御部3aが、共有メモリ12のベクタ領域の読出しを検出して、共有メモリ12の読出しを抑止するとともに、ベクタレジスタ20a内のレジスタであるNMI21aの内容を読出し、その内容“B”をデータとしてローカルバス5aに送出し、プロセッサ1aからのアクセスを終了させる(ステップS15)。

【0042】プロセッサ1aは、ベクタの読取り結果(“B”)に基づいて、B番地のNMI処理プログラムに実行を切替えて割込み処理を行う(ステップS16)。このようにして、NMIの割込み処理が行われる。NMIの場合のように処理を分散することが無く、特定のプロセッサのみが割込み処理を行う場合に、処理を行うプロセッサのみがベクタの設定を行うことによって、自動的に割込み先プロセッサの指定が可能になり、自由度の高い割込み処理が可能になる。

50 【0043】次に、IRQ割込みの場合について説明す



る。IO制御部13において割込み要求が発生すると（ステップS17）、IRQ0信号が割込み制御部10に入力される。割込み制御部10においては、前述のNMI割込みの場合と同様に、ベクタレジスタ2a及び2bの有効フラグ22a、22bの状態に従って、プロセッサへの割込み要求の発生を判断する（ステップS18）。本実施の形態の場合、プロセッサ1とプロセッサ1bのIRQ割込みに対応する有効フラグ22aと22bは共に、“V”であるので、プロセッサ1aとプロセッサ1bのそれぞれに対してIRQ信号をアクティブにすることによって、IRQ割込みを発生させる。

【0044】このようにして、それぞれのプロセッサにおいて実行中の命令の終了後、割込み処理を実行する。プロセッサ1aでは、割込み処理のため、上記ハードウェア例外割込み処理の場合と同様に、レジスタの退避の後ベクタ領域であるアドレス0008番地のベクタ読取り動作を行う（ステップS19）。この時、ベクタ制御部3aが、共有メモリ12のベクタ領域の読出しを検出して、共有メモリ12の読出しを抑止するとともに、ベクタレジスタ2a内のレジスタであるIRQ22aの内容を読出し、その内容“C”をデータとしてローカルバス5aに送出し、プロセッサ1aからのアクセスを終了させる（ステップS20）。

【0045】プロセッサ1aは、ベクタの読取り結果（“C”）に基づいて、C番地のIRQ処理プログラムAに実行を切替えて割込み処理を行う（ステップS21）。

【0046】同様にして、プロセッサ1bにおいても、プロセッサ1bのベクタ読取り（ステップS22）、ベクタ制御部3bのベクタ領域の読出し検出と、共有メモリ12の読出しの抑止、ベクタレジスタ2b内のレジスタであるIRQ22bの内容読出しと、ローカルバス5bへの送出（ステップS23）、プロセッサ1bのベクタ読出し結果（“E”）に基づくE番地のIRQ処理プログラムBの実行（ステップS24）を行う。

【0047】このようにして、IRQの割込み処理が行われる。IRQの場合のように処理を分散する必要があり、それぞれのプロセッサが異なる割込み処理を行う場合に、処理を行うプロセッサが独自のベクタ設定を行うことが可能であり、又、割込み処理を必要としないプロセッサは該当するベクタ領域の書込みを行わなければ自動的に割込み対象から除外されるので、自由度の高い割込み処理システムが構成可能になる。

【0048】又、各プロセッサにおいては、シングルプ

ロセッサシステムでの割込みインタフェースと、何ら変ることのない汎用マイクロプロセッサとソフトウェア互換を保って、小規模なハードウェアで実現可能であり、割込みベクタ読取りに伴う共有バスアクセスのオーバーヘッドを抑えた効率の良い割込み処理システムが構成可能である。

#### 【0049】

【発明の効果】割込み発生時の割込みベクタ読取り時に、共有バスの負荷を高めることがないので、システム全体のパフォーマンスを落とすことなく、割込みベクタ専用のローカルメモリを設けず、外部接続信号線数が増やすこともなく、簡単なハードウェアで実現可能であり、汎用マイクロプロセッサでの割込みインタフェースを変える必要のない割込み処理システムが実現可能である。又、割込み処理を任意のプロセッサに割当てることが可能であり、割込み処理を効率的に分散可能であり、効率的なマルチプロセッサシステムが実現可能である。

#### 【図面の簡単な説明】

【図1】本発明のマルチプロセッサシステムの実施形態を示すブロック図である。

【図2】図1に示すベクタレジスタ2a及び、2bの詳細な構成図である。

【図3】図1に示す共有メモリ12の詳細な構成と、ベクタレジスタ2a及び、2bとの対応関係を示す図である。

【図4】本発明のマルチプロセッサシステムの動作を示すフローチャートの前半部分である。

【図5】図4に示す本発明のマルチプロセッサシステムのフローチャートの前半に続く後半部分である。

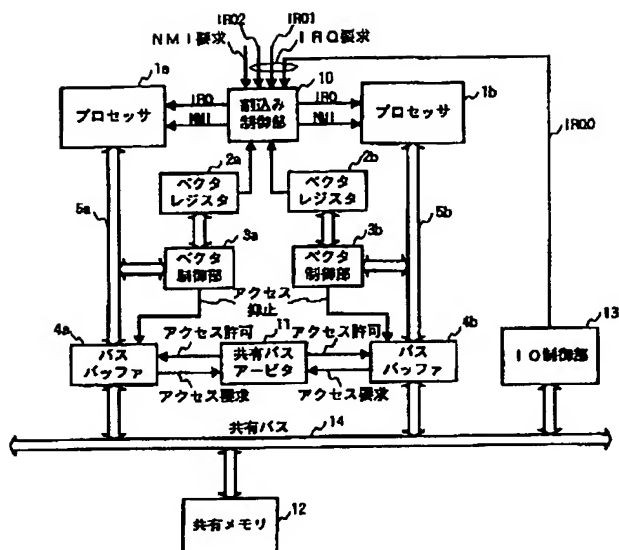
【図6】従来のマルチプロセッサシステムの構成を示すブロック図である。

【図7】従来のマルチプロセッサシステムの他の構成を示すブロック図である。

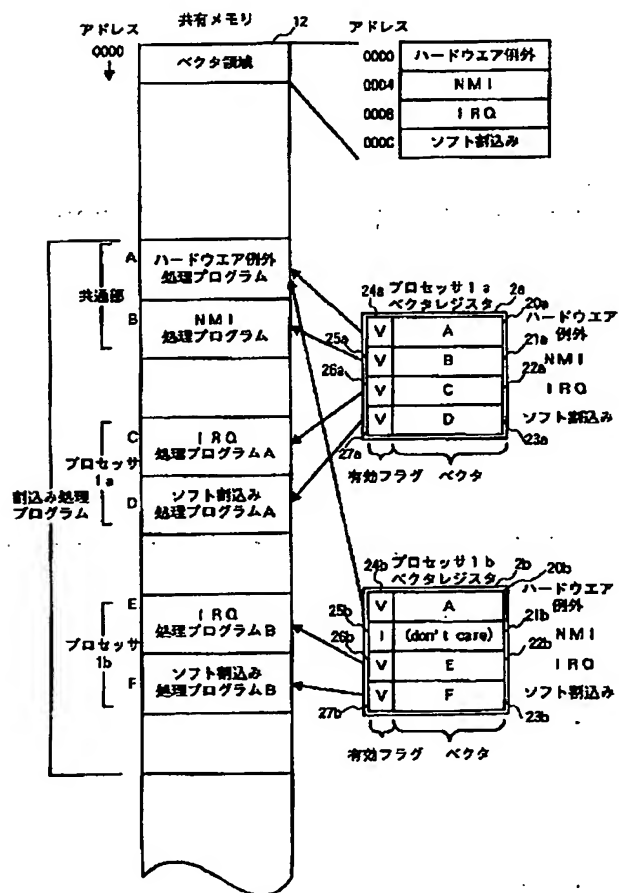
#### 【符号の説明】

1a、1b	プロセッサ
2a、2b	ベクタレジスタ
3a、3b	ベクタ制御部
4a、4b	バスバッファ
5a、5b	ローカルバス
10	割込み制御部
11	共有バスアービタ
12	共有メモリ
13	IO制御部
14	共有バス

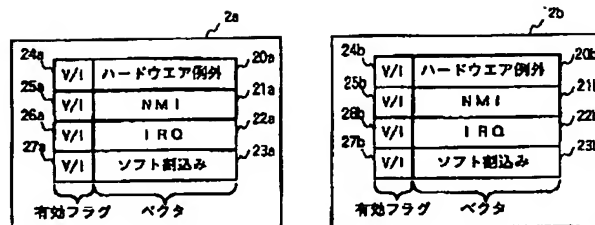
【図1】



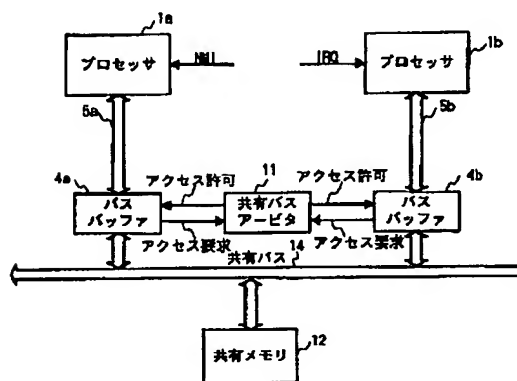
【図3】



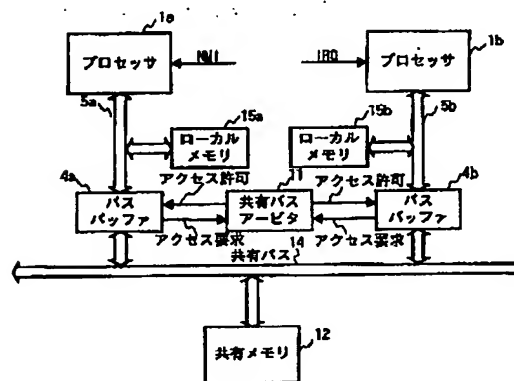
【図2】



【図6】

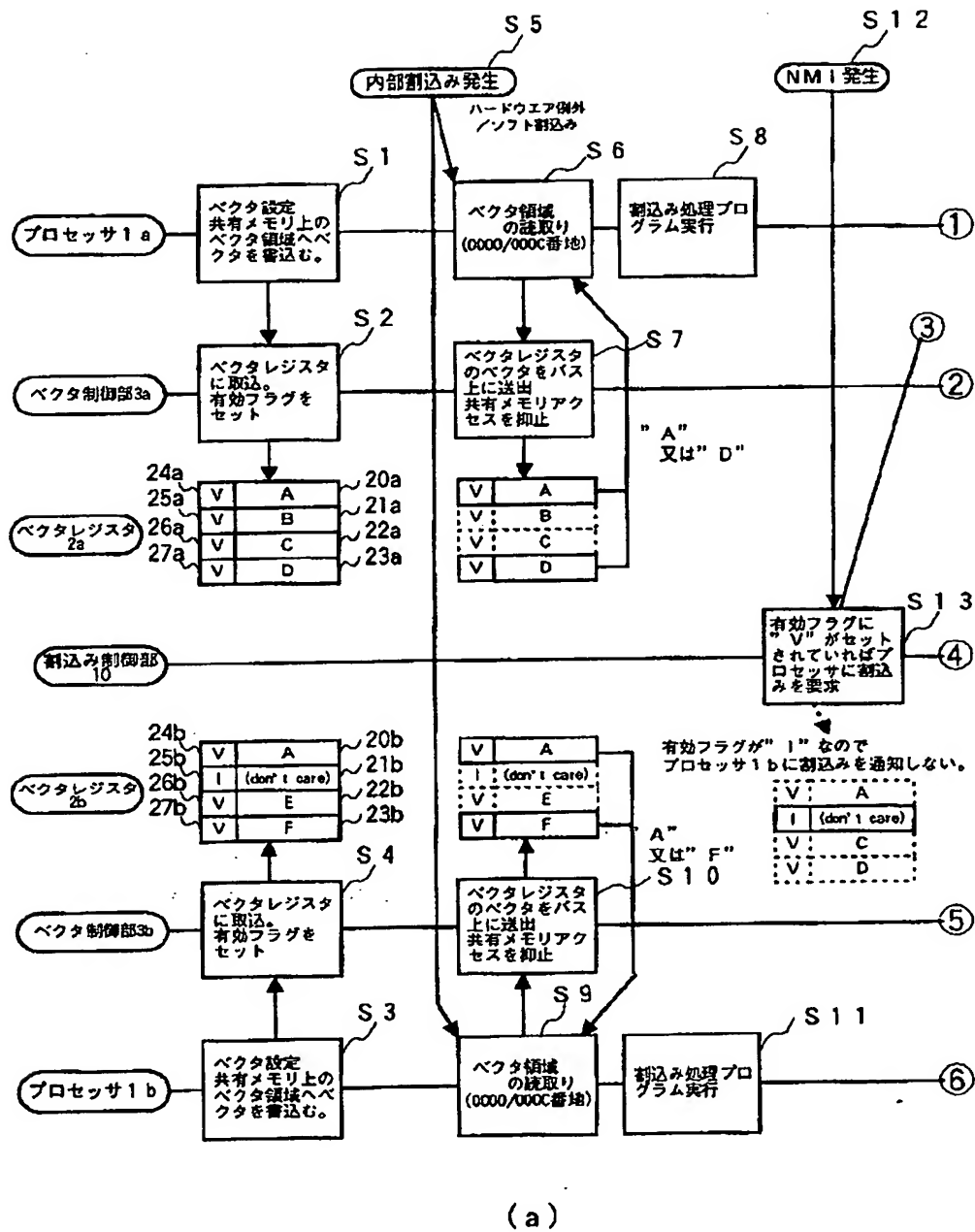


【図7】





【図4】



S17

IRQ発生

